

Problema 1

Un sistema sequenziale sincrono è caratterizzato da 4 segnali di ingresso (E, X, S_1, S_0) e da $M = 6$ segnali di uscita ($Z_5, Z_4, Z_3, Z_2, Z_1, Z_0$), tutti sincroni. Attraverso l'ingresso X il sistema riceve serialmente messaggi di K bit, con $K \leq 100$. Il segnale E , attivo (valore logico 1) per K intervalli di clock, identifica la fase di presentazione in ingresso di ciascun messaggio. Il sistema ha il compito di individuare nell'ambito di ciascun messaggio il numero di volte N che una specifica parola, selezionabile fra le seguenti quattro

$P_0: 101, P_1: 1001, P_2: 10001, P_3: 100001$

tramite i segnali di ingresso S_1 e S_0 , si presenta. La corrispondenza fra parola selezionata e relativa configurazione dei segnali S_1, S_0 è la seguente:

$S_1S_0 = 00 \rightarrow P_0, S_1S_0 = 01 \rightarrow P_1, S_1S_0 = 10 \rightarrow P_2, S_1S_0 = 11 \rightarrow P_3.$

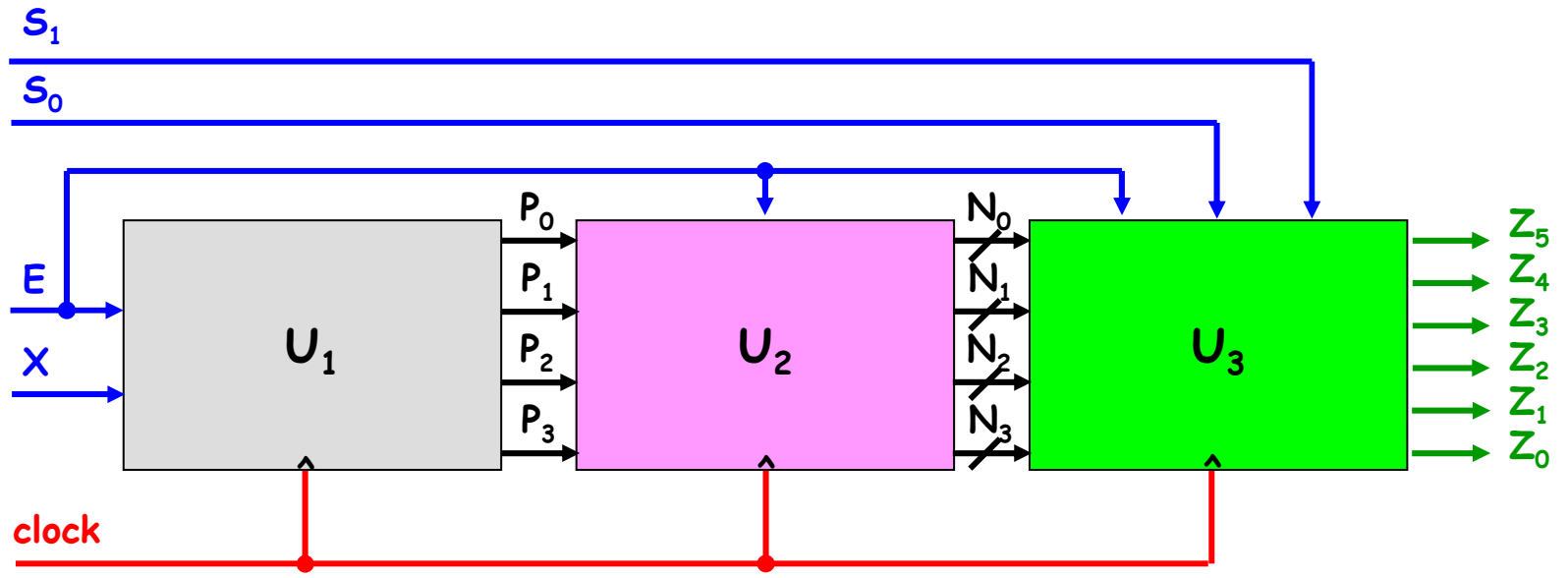
Il valore di N , codificato in binario tramite i segnali Z_5 (MSB), ..., Z_1, Z_0 (LSB), deve essere fornito in uscita al termine della fase di ricezione del corrispondente messaggio ($E = 0$), e mantenuto disponibile fino alla successiva presentazione di un nuovo messaggio ($E = 1$).

Il sistema deve essere strutturato, come indicato in figura, in 3 unità:

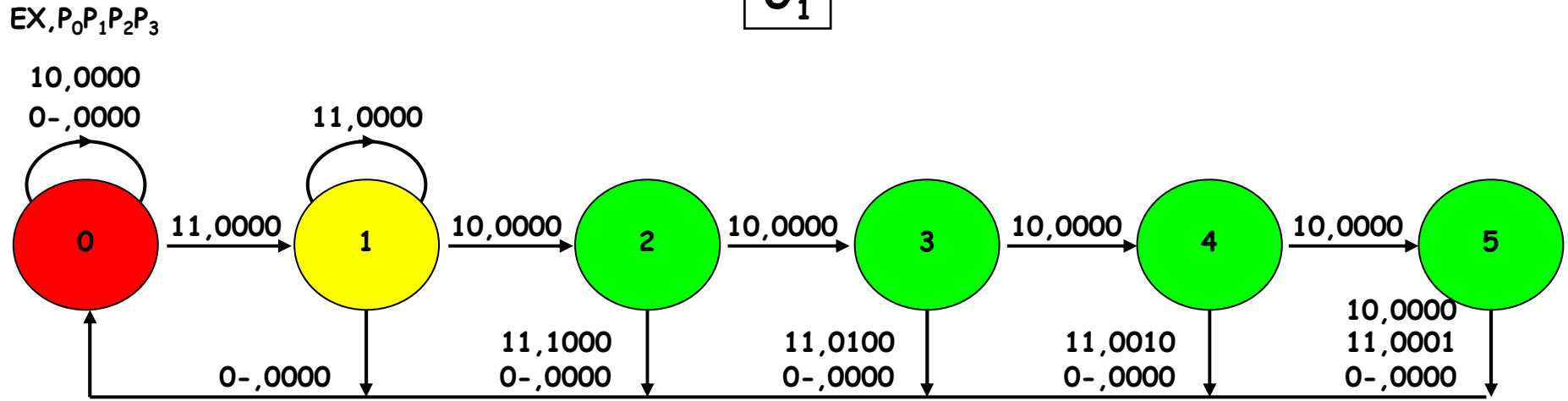
- U_1 : unità di rilevazione delle parole P_0, P_1, P_2, P_3 ;
- U_2 : unità di conteggio delle parole P_0, P_1, P_2, P_3 presenti in ciascun messaggio;
- U_3 : unità di memorizzazione del numero N di parole selezionate presenti in ciascun messaggio.

Si esegua il progetto del sistema, motivando esplicitamente tutte le scelte operate, nell'ipotesi che la configurazione dei segnali di selezione S_1, S_0 non possa cambiare durante la fase di ricezione di un messaggio. In particolare si identifichi:

- l'automa minimo che modella il comportamento dell'unità U_1 ed una sua possibile realizzazione basata sull'impiego di un contatore binario;
- il numero di contatori binari $\times 16$ necessari per la realizzazione dell'unità U_2 , nonché la relativa modalità di interconnessione;
- la tipologia ed il numero di componenti ritenuti più idonei al fine della realizzazione dell'unità U_3 ;
- le varianti che occorre introdurre al fine di gestire messaggi costituiti da $K \leq 1000$ bit.



U_1

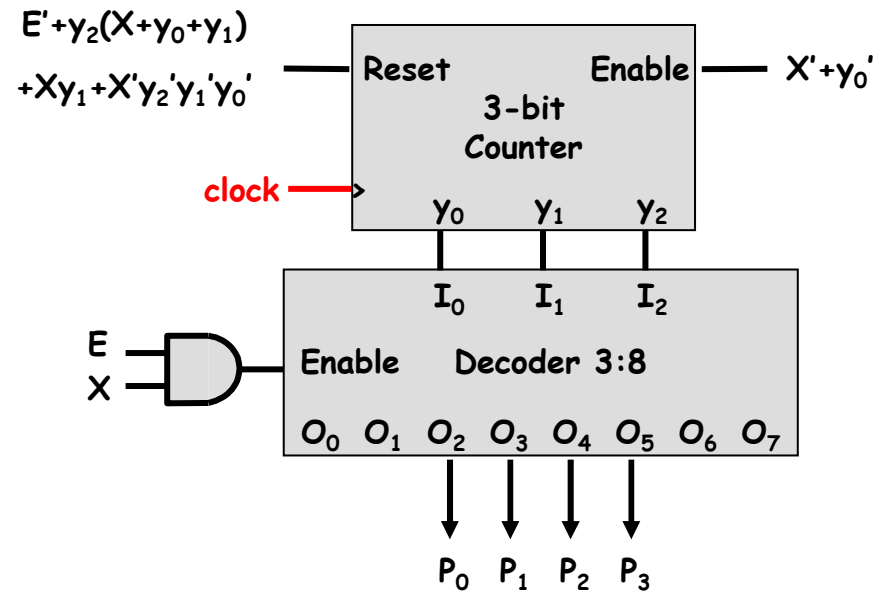


EX

| | 00 | 01 | 11 | 10 |
|-----|----|----|----|----|
| 000 | 1- | 1- | 01 | 1- |
| 001 | 1- | 1- | 00 | 01 |
| 011 | 1- | 1- | 1- | 01 |
| 010 | 1- | 1- | 1- | 01 |
| 100 | 1- | 1- | 1- | 01 |
| 101 | 1- | 1- | 1- | 1- |
| 111 | 1- | 1- | 1- | 1- |
| 110 | 1- | 1- | 1- | 1- |

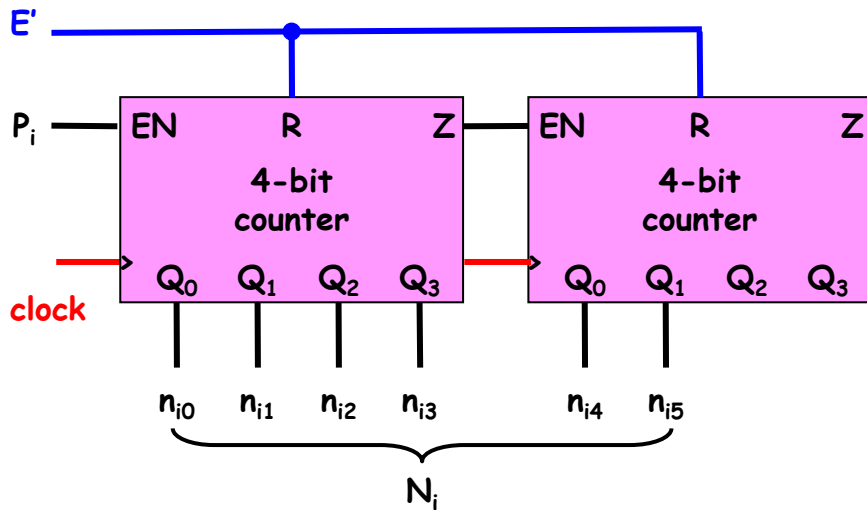
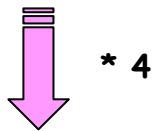
Y₂Y₁Y₀

Reset Enable

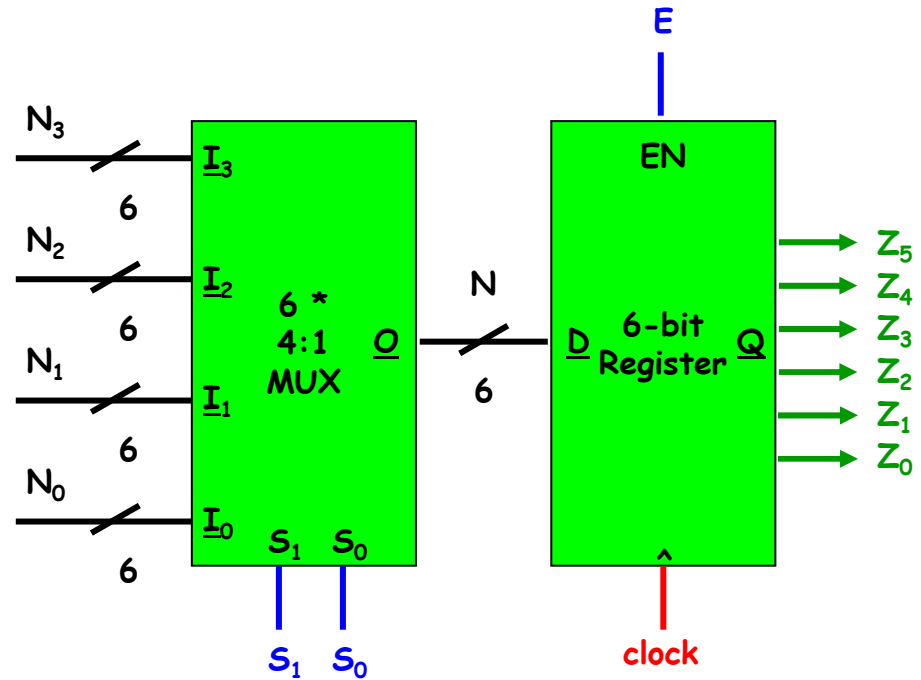


U_2

| Counter | N_{max} | Base | Chips |
|---------|------------------------------|------|-------|
| P_0 | $\lfloor 100/3 \rfloor = 33$ | 34 | 2 |
| P_1 | $\lfloor 100/4 \rfloor = 25$ | 26 | 2 |
| P_2 | $\lfloor 100/5 \rfloor = 20$ | 21 | 2 |
| P_3 | $\lfloor 100/6 \rfloor = 16$ | 17 | 2 |



U_3



$K \leq 1000$

| Counter | Base | Chips |
|---------|------|-------|
| P_0 | 334 | 3 |
| P_1 | 251 | 2 |
| P_2 | 201 | 2 |
| P_3 | 167 | 2 |

9 *
4:1
MUX 9-bit
Register

$M=9$

Problema 2

Una rete sequenziale asincrona è caratterizzata da due segnali di ingresso X_1 , X_2 (i quali possono cambiare di valore uno soltanto alla volta) e da un segnale di uscita Z .

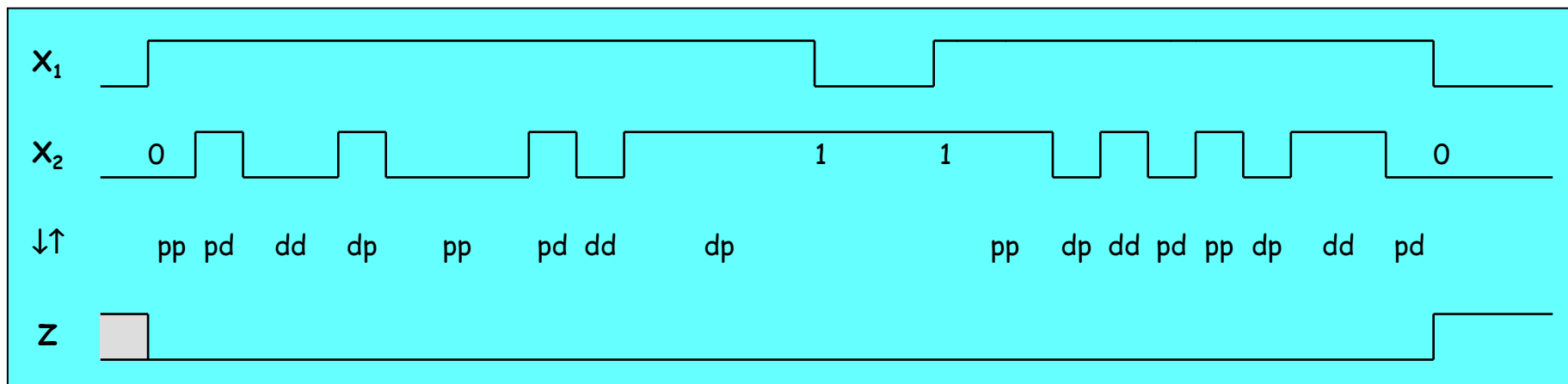
Quando il segnale X_1 è attivo (livello logico 1), Z deve assumere il valore 0.

Quando il segnale X_1 è disattivo (livello logico 0), Z deve assumere il valore 1 se e soltanto se il segnale X_2 ha presentato nel precedente intervallo di attivazione di X_1 un numero pari (0, 2, ...) di fronti di discesa ed un numero dispari (1, 3, ...) di fronti di salita.

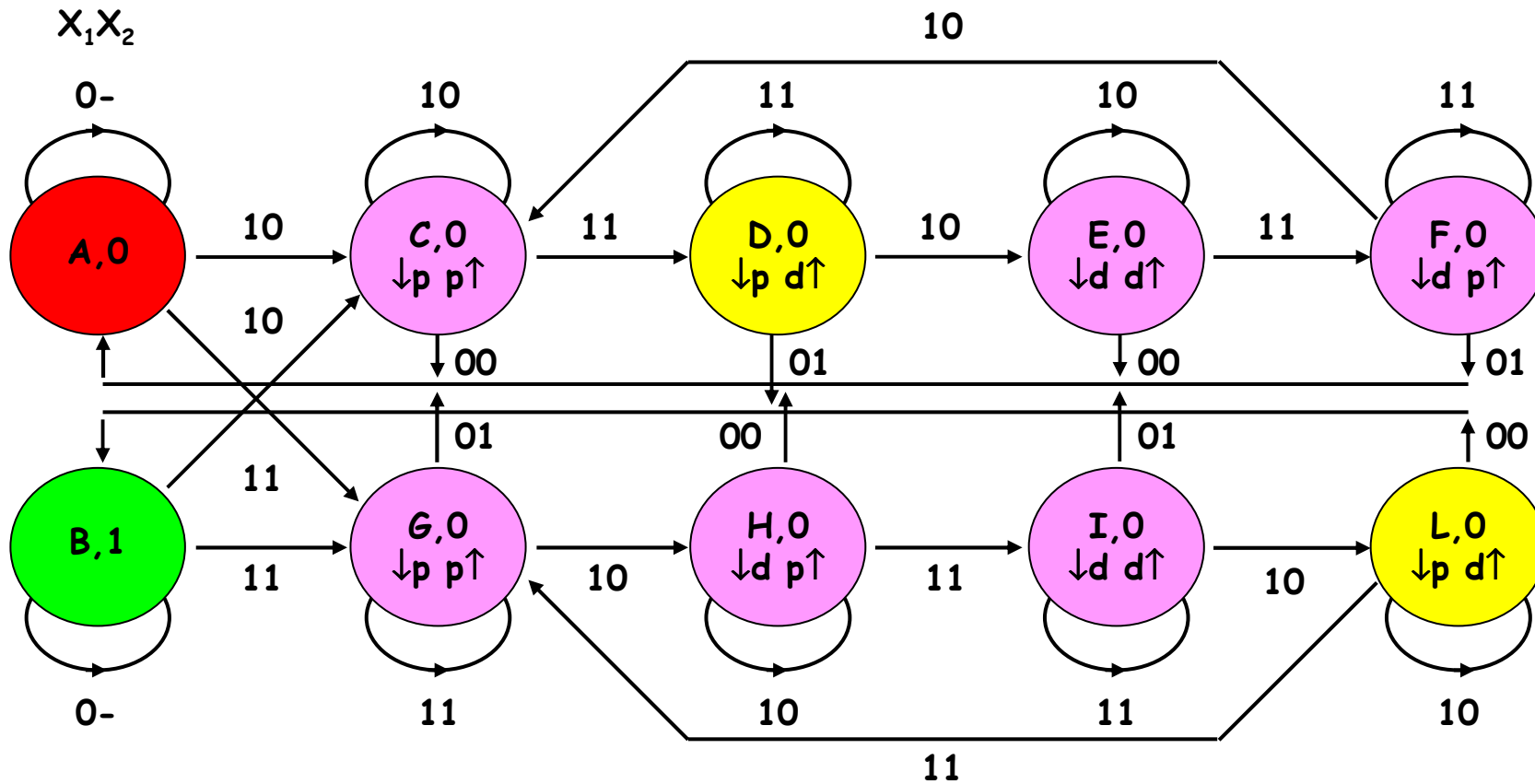
Si determini:

- il grafo degli stati della rete;
- la corrispondente tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche.

Z può valere 1 allorché X_1 è disattivo soltanto se X_2 ha assunto valori diversi all'inizio ed al termine del precedente intervallo di attivazione di X_1 (in caso contrario il numero dei fronti di salita e di discesa di X_2 coincidono)



Grafo degli stati



Mappa di codifica

| | | Y_3Y_4 | | | |
|----------|----|----------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| Y_1Y_2 | 00 | C | F | | |
| | 01 | A | G | H | |
| | 00 | B | L | I | |
| | 01 | D | E | | |

Transizioni multiple

| | | | |
|---------------------------------|----|---------------------------------|----|
| 10 | 10 | 11 | 11 |
| $B \rightarrow A \rightarrow C$ | | $B \rightarrow A \rightarrow G$ | |
| 00 | 00 | 01 | 01 |
| $H \rightarrow G \rightarrow A$ | | $I \rightarrow H \rightarrow G$ | |
| 01 | 01 | 00 | 00 |
| $F \rightarrow C \rightarrow A$ | | $E \rightarrow F \rightarrow C$ | |

ecc.